

**PREPARATION OF SEMICONDUCTOR DEVICE**✓  
JP

Pat nt Number: JP60055616  
Publicati n date: 1985-03-30  
Inv ntors: YAMAMOTO NAOIKI; others: 02  
Applicant(s): HITACHI SEISAKUSHO KK  
Requested Patent: ☐ JP60055616  
Application Number: JP19830163258 19830907  
Priority Number(s):  
IPC Classification: H01L21/265 ; H01L21/22 ; H01L21/324 ; H01L29/76  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To simplify a process of heat treatment, effecting diffusion of P and As in one heat-treatment, by heat treating in H<sub>2</sub> containing H<sub>2</sub>O a silicon substrate in which a low concentration of phosphorus is allowed to coexist with a high concentration of arsenic.

**CONSTITUTION:** A gate oxide film 2 and an SiO<sub>2</sub> film 3 for separating elements are formed on an Si substrate 1. Then a W film 4 is formed thereon and subsequently covered with PSG5. After processing the PSG and the W with a photoresist used as a mask, the resist is removed. A low concentration of P 6 and a high concentration of As 7 are implanted in the substrate by means of ion implantation using PSG/W as a mask, and the substrate is heat-treated in H<sub>2</sub> containing H<sub>2</sub>O. PSG is further formed as an interfacial insulation layer and provided with a contact hole. In the final step, an Al electrode is formed to complete the W gate electrode MOS transistor. In such a manner, the process can be simplified and the P can be prevented from diffusing from the PSG cover film.

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

昭60-55616

⑬ Int.Cl.<sup>4</sup>H 01 L 21/265  
21/22  
21/324  
29/76

識別記号

庁内整理番号

6603-5F  
7738-5F  
6603-5F  
7377-5F

⑭ 公開 昭和60年(1985)3月30日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-163258

⑰ 出 願 昭58(1983)9月7日

⑱ 発 明 者 山 本 直 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 岩 田 誠 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 小 林 伸 好 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 低濃度のりん(P)と高濃度のひ素(A\*)がシリコン(Si)基板内に共存させた状態で、H<sub>2</sub>Oを含有したH<sub>2</sub>中で熱処理を行なうことにより、Si基板内に濃度勾配のある拡散層を形成することを特徴とする半導体装置の製造方法。
2. H<sub>2</sub>OとH<sub>2</sub>の蒸気圧比を $10^{-1}$ から $10^2$ としたことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体装置の拡散層に係り、特に高集積MOS・メモリ等に使われる微細MOSトランジスタのソース、ドレイン間の高耐圧化に好適な半導体装置の製造方法に関する。

〔発明の背景〕

MOS・LSI (Large Scale Integrated

(1)

Circuit) の高集積化に伴い、MOSトランジスタのゲート幅は狭くなる。それに伴い、ソース、ドレイン間の電界が高くなるため、キャリアがホットになる。このホット・キャリアがゲート酸化膜(SiO<sub>2</sub>)に注入され、しきい値電圧やチャネル相互コンダクタンスの変動を生じるようになってきた。このため、微細MOSトランジスタではソース、ドレイン等の拡散層の濃度勾配をなだらかにする方法がとられている。そしてこの濃度勾配の緩和は高濃度のA\*拡散層のまわりに低濃度P拡散層を形成する方法がとられている。A\*の拡散層は浅く、Pの拡散層はそれより深くする必要があるため、従来は第1図(a)に示すように最初にPだけをイオン打込した後、窒素雰囲気中で熱処理し、その後A\*をイオン打込した後、P拡散のための熱処理より低温でかつ短時間の熱処理を行なっていた。この方法では工程が長くなるとともに複雑になるという欠点があつた。高集積MOSメモリ等ではゲート電極配線として低抵抗のタンダステン(W)やモリブデン(Mo)が

(2)

用いられる。W、Mはチャネリング現象によりA、P等のイオン打込のマスクとならないため、これらの金属の表面に非晶質膜を被覆する方法が用いられる。このような金属ゲート電極に上記のP、Aの2重拡散層を形成する場合、P打込後、高温熱処理を経るため、非晶質膜として通常イオン打込のマスクとして用いられるホト・レジストは使用できない。このためりん硅酸ガラス(PSG: Phospho-Silicate Glass)等の高温に耐える非晶質膜を被覆する方法がとられてきた。この場合、W、Mを酸化させないために窒素雰囲気中で熱処理が行なわれている。

この熱処理過程でPSG膜中のPがW、M膜内を拡散し、ゲート絶縁膜( $SiO_2$ )中を拡散し $Si$ 基板まで到達してしまい、プロセス設計とは異なるMOSトランジスタのしきい値電圧を示すという欠点があった。

#### 〔発明の目的〕

本発明の目的はPとAの拡散を一回の熱処理で行ない工程を簡略化するとともに、WやMのゲ

(3)

タの作成にはチャネリング防止用としてPSG等の非晶質膜を被覆してイオン打込を行なっていたが、これは先に述べたように、Pの拡散のとき高温熱処理工程を経るため、ホト・レジストをAのイオン打込時のマスクにできなかつた。しかし本発明によればPとAの熱処理を1回にできるため、イオン打込のマスクとしてホト・レジストが使えるようになり、工程を簡略化できる。

またPSGを被覆したWゲート電極のMOSトランジスタを窒素中で熱処理すると、Pが拡散して、しきい値電圧を変動したが、 $H_2O$ を含有した $H_2$ 中で熱処理すると、PSG中のPのW、M中拡散を抑制できるため、しきい値電圧の変動を低減できることを発見した。したがって第2図(b)のようにPSGを被覆したWゲート電極の2重拡散層の形成に本発明の熱処理を用いると、拡散層形成工程の簡略化とともに、PSGからのPのW、M中拡散を低減できる。

#### 〔発明の実施例〕

以下本発明の一実施例を第2図により説明する。

(5)

ート電極に必要な非晶質膜として、一般的に用いられているホト・レジストを用いられる技術を提供することにある。

また、PSGを被覆した場合の欠点であるW、M膜中のりんの拡散を抑制できる熱処理技術を提供することにある。

#### 〔発明の概要〕

従来のPとAを用いた2重拡散層の形成のための熱処理を、 $H_2O$ を含有した $H_2$ 雰囲気中で行なつた結果、Pの拡散が窒素中より約2~3倍増進され、またAの拡散はほとんどかわらないことを発見した。本発明は第1図(b)に示すようにこの現象を利用することにより、従来の2重拡散層形成で、PとAを別々の熱処理により行なつていたのを、1回の熱処理でPとAを同時に拡散して行なえるようになる。また熱処理の温度の低減および時間を短縮できるため、将来の高集積MOS・メモリ等で必要な浅い2重拡散層の形成が可能になる。

従来、WやMのゲート電極のMOSトランジス

(4)

#### 実施例1

$Si$ 基板1に所定の方法でゲート酸化膜( $SiO_2$ )2と素子間分離用 $SiO_2$ 膜3を形成した後、W膜4を形成し、続いてPSG5を被覆した。次にホトレジストをマスクとして反応性スパッタエッチング法によりPSGとWを加工後、レジストを除去した。次にPSG/Wをマスクとしてイオン打込法により低濃度のP6と高濃度のA7を打込んだ後、 $H_2O$ を1%含んだ $H_2$ 中で950℃15分の熱処理を行なつた。さらに層間絶縁膜としてPSGを形成した後コンタクト孔を開け、最後にAの電極を形成し、Wゲート電極MOSトランジスタを作成した。第2図(b)に示すように本実施例は、従来の作成工程(第2図(a))より工程が簡略化されている。本実施例による長チャネル長トランジスタのしきい値電圧は従来のN<sub>2</sub>中熱処理より、0.4V高い値が得られた。これはPSG被覆膜からのPの拡散が抑止されたためである。なお2重拡散層を形成したため、Aだけの拡散層の場合よりも、実効チャネル長0.8 $\mu m$ のト

(6)

ランジスタのホットキャリアに対するDCストレス電圧が1~2V向上した。

#### 実施例2

実施例1において、PSG被覆膜5を被覆せずレジストをマスクとしてWを加工後、レジストを残しておき、レジストをPとA<sup>+</sup>のイオン打込用マスクとして兼用してMOSトランジスタを形成した。そのとき得られたトランジスタの初期のしきい値電圧は実施例1とはほとんど同じであつた。なお本実施例ではPSGが被覆されていないため、Wの外部からのN<sup>+</sup>等の可動イオンによる汚染があるため、長期信頼性テストで少し、しきい値電圧が変動する可能性がある。

#### 実施例3

実施例2で、Wゲート電極のかわりに多結晶シリコンを用い、全く同様の方法でMOSトランジスタを作成した。その結果、2重拡散のために2度の熱処理を用いたときと同様のDCストレス電圧の向上がみられた。なお、本実施例では、H<sub>2</sub>Oを含有したH<sub>2</sub>中での熱処理工程で、多結

晶シリコンゲート電極の表面が酸化できるため、そのSiO<sub>2</sub>膜を層間絶縁膜として利用できる利点があつた。

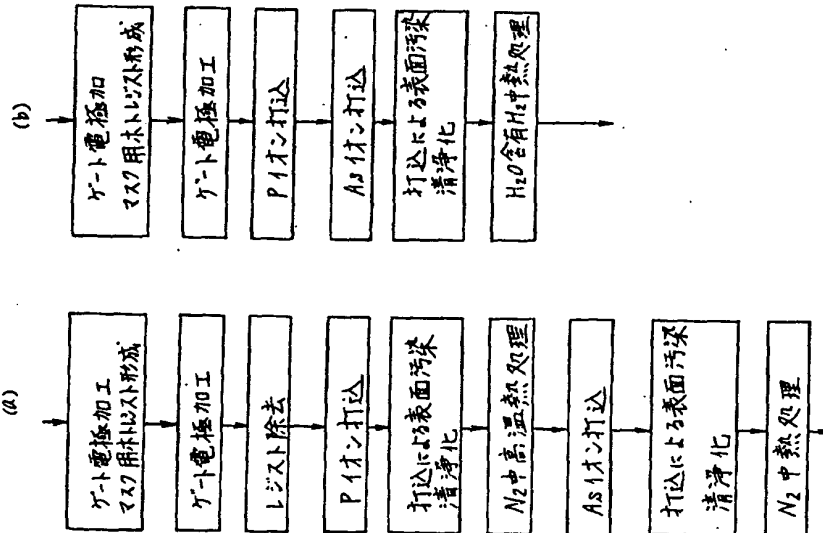
図面の簡単な説明

第1図(a)は従来の2重拡散層形成のための関連工程、(b)は本発明による工程流れ図である。第2図(a)は従来の(b)は本発明のPSGを被覆したWゲート電極MOSトランジスタ2重拡散層形成工程と素子の断面形状の関係説明図である。

1…Si基板、2…ゲート酸化膜(SiO<sub>2</sub>)、3…素子間分離酸化膜(SiO<sub>2</sub>)、4…W、5…PSG被覆膜、6…Pイオン、7…A<sup>+</sup>イオン、8…A<sup>+</sup>とPの2重拡散層。

代理人 弁理士 高橋明夫

第1図



第 2 圖

